

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-225594

(43)Date of publication of application : 14.08.1992

(51)Int.Cl.

H05K 3/46

H01G 4/06

H05K 1/16

(21)Application number : 03-055536

(71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>

(22)Date of filing : 28.02.1991

(72)Inventor : LAUFFER JOHN M  
SCHUMACHER RICHARD A

(30)Priority

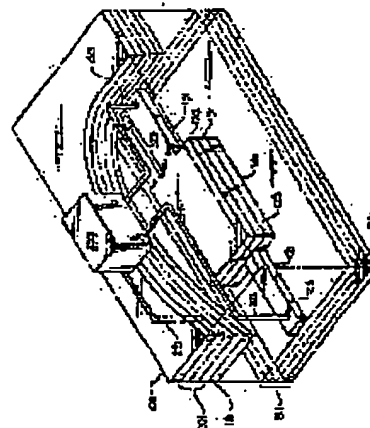
Priority number : 90 506640 Priority date : 09.04.1990 Priority country : US

### (54) MULTI-LAYER CIRCUIT PACKAGE AND ITS MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To provide a multi-layer circuit package having an embedded thin-film capacitor.

CONSTITUTION: A circuit package 101 comprises, at least a power core 111a, a ground core 111b, a first signal core 121, a second signal core 131, and an integrally embedded thin-film capacitor 141. The integrally embedded thin-film capacitor works so as to join the first signal core to the second signal core through capacitance. A first signal core structurally comprises at least one first wire 123 terminating at least a first electrode 125, with a second signal core comprising at least a second wire 133 terminating at least a second electrode 135. At least, a part of the first electrode covers a part of the second electrode, while being made away from the second electrode by a thin film 151 of dielectric. The first electrode, the second electrode, and the dielectric thin film define an integrally embedded



capacitor. A thin-film capacitor is manufactured by a thin-film formation method, while dielectric is formed by epitaxial method.

---

#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

51 用 文 献 5

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-225594

(43) 公開日 平成4年(1992)8月14日

(51) IntCl.	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46		Q 6921-4E		
H 0 1 G 4/06	1 0 2	7924-5E		
H 0 5 K 1/16		D 8727-4E		

審査請求 有 請求項の数30(全 1) 頁

(21) 出願番号 特願平3-55536

(22) 出願日 平成3年(1991)2月28日

(31) 優先権主張番号 5 0 6 6 4 0

(32) 優先日 1990年4月9日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009631

インターナショナル・ビジネス・マシー  
ズ・コーポレーションINTERNATIONAL BUSIN  
ESS MACHINES CORPO  
RATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(72) 発明者 ジョン・マシユー・ローフ

アメリカ合衆国ニューヨーク州、ウェイヴ

アリ、アール・デイ ナンバー1、ポツク

ス371ビイ (番地なし)

(74) 代理人 弁理士 飯宮 孝一 (外4名)

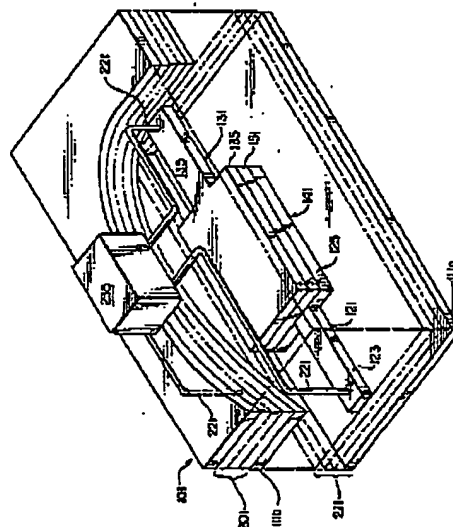
最終頁に続く

(54) 【発明の名称】 多層回路パッケージ及びその作製方法

(57) 【要約】

【目的】 埋め込み型薄膜コンデンサを持つ多層回路パッケージを提供する。

【構成】 回路パッケージ101は、少なくともパワーコア111a、グラウンド・コア111b、第1信号コア121、第2信号コア131、及び一体埋め込み型薄膜コンデンサ141を含む。一体埋め込み型薄膜コンデンサは、第1及び第2の信号コアを容量を介して接合するように働く。第1信号コアは、構造的に、少なくとも1つの第1電極125で終端する少なくとも1つの第1ワイヤ123を、第2信号コアは、少なくとも1つの第2電極135で終端する少なくとも1つの第2ワイヤ133を含む。第1電極の少なくとも一部は第2電極の少なくとも一部を覆い、誘電体の薄膜151によって第2電極から隔離される。第1電極、第2電極、及び誘電体の薄膜によって、一体埋め込み型コンデンサが定義される。薄膜コンデンサは薄膜形成法によって作製され、誘電体はエピタキシャル法によって形成される。



(2)

(2)

特開平4-225594

1

【特許請求の範囲】

【請求項1】 第1信号コア、第2信号コア、及び該第1及び第2の信号コアを容量を介して接合する一体埋め込み型誘電体コンデンサ手段を含む、多層回路パッケージ。

【請求項2】 請求項1に記載の多層回路パッケージであって、第1信号コアが、少なくとも1つの第1電極で終端する少なくとも1つの第1ワイヤを含み、第2信号コアが、少なくとも1つの第2電極で終端する少なくとも1つの第2ワイヤを含み、該第1電極の少なくとも一部が、該第2電極の少なくとも一部を覆い、間に挟まれた誘電物質の誘電率によって該第2電極から離隔されており、該第1電極、該第2電極、及び該誘電物質膜によって一体埋め込み型コンデンサが定義される、多層回路パッケージ。

【請求項3】 請求項2に記載の多層回路パッケージであって、第1信号コアが地電位にある、多層回路パッケージ。

【請求項4】 請求項2に記載の多層回路パッケージであって、第1及び第2の信号コアが金属導体を含む、多層回路パッケージ。

【請求項5】 請求項4に記載の多層回路パッケージであって、金属導体がCu、Al、Agより成る族から選択された、多層回路パッケージ。

【請求項6】 請求項5に記載の多層回路パッケージであって、金属導体がCuである、多層回路パッケージ。

【請求項7】 請求項4に記載の多層回路パッケージであって、金属導体が約100Åないし約100ミクロンの厚みである、多層回路パッケージ。

【請求項8】 請求項2に記載の多層回路パッケージであって、誘電物質の誘電率がセラミック誘電体を含む、多層回路パッケージ。

【請求項9】 請求項8に記載の多層回路パッケージであって、セラミック誘電体の誘電率が、チタン酸カルシウム、チタン酸バリウム、酸化アルミニウム、酸化ベリリウム、及び酸化アルミニウムより成る族から選択されたセラミック誘電体を含む、多層回路パッケージ。

【請求項10】 請求項2に記載の多層回路パッケージであって、誘電物質の誘電率がエポキシ樹脂である、多層回路パッケージ。

【請求項11】 請求項10に記載の多層回路パッケージであって、誘電物質の誘電率が真空蒸着誘電体である、多層回路パッケージ。

【請求項12】 請求項11に記載の多層回路パッケージであって、誘電物質の真空蒸着誘電体がスパッタ誘電体である、多層回路パッケージ。

【請求項13】 請求項12に記載の多層回路パッケージであって、誘電物質のスパッタ誘電体が反応性スパッタ誘電体である、多層回路パッケージ。

【請求項14】 請求項2に記載の多層回路パッケージであって、誘電物質の誘電率が約100Åないし約10ミク

2

ロンの厚みである、多層回路パッケージ。

【請求項15】 (a) 少なくとも1つの第1銅電極で終端する少なくとも1つの第1誘電体ワイヤを含む第1信号コアと、

(b) 少なくとも1つの第2銅電極で終端する少なくとも1つの第2誘電体ワイヤを含み、上記第1銅電極の少なくとも一部が該第2銅電極を覆う第2信号コアと、

(c) 上記第1銅電極と上記第2銅電極との間の誘電物質のエピタキシャル誘電率を含み、上記第1電極、上記第2電極、及び上記誘電物質の誘電率によって、多層回路パッケージ内の一体埋め込み型誘電体コンデンサが定義される、多層回路パッケージ。

【請求項16】 (a) 少なくとも1つの第1銅電極で終端する少なくとも1つの第1誘電体ワイヤを含む第1信号コアと、

(b) 少なくとも1つの第2銅電極で終端する少なくとも1つの第2誘電体ワイヤを含み、上記第1銅電極の少なくとも一部が該第2銅電極を覆う第2信号コアと、

(c) 上記第1銅電極と上記第2銅電極との間のセラミック誘電物質のスパッタ誘電率を含み、上記第1電極、上記第2電極、及び上記誘電物質の誘電率によって、多層回路パッケージ内の一体埋め込み型誘電体コンデンサが定義される、多層回路パッケージ。

【請求項17】 第1信号コア、第2信号コア、及び該第1及び第2の信号コアを容量を介して接合する一体埋め込み型誘電体コンデンサ手段を含む多層回路パッケージの作製方法であって、

(a) 上記第1信号コアを誘電基板上で回路化するステップと、

(b) 回路化された上記第1信号コアの上に誘電体誘電率を形成するステップと、

(c) 上記誘電体誘電率の上で上記第2信号コアを回路化するステップとを含む、多層回路パッケージ作製方法。

【請求項18】 請求項17に記載の方法であって、第1及び第2の信号コアを金属導体で形成するステップを含む、多層回路パッケージ作製方法。

【請求項19】 請求項18に記載の方法であって、第1及び第2の信号コアを、Cu、Al、及びAgより成る族から選択された金属導体で形成するステップを含む、多層回路パッケージ作製方法。

【請求項20】 請求項19に記載の方法であって、第1及び第2の信号コアをCuで形成するステップを含む、多層回路パッケージ作製方法。

【請求項21】 請求項17に記載の方法であって、誘電基板上に導体を被着した後、該誘電基板の傾斜を除去して該第1信号コアを回路化するステップを含む、多層回路パッケージ作製方法。

【請求項22】 請求項17に記載の方法であって、マスク手段を通して誘電基板上に導体を被着し、第1信号コアを形成・回路化するステップを含む、多層回路パッケージ作製方法。

(3)

(3)

特開平4-225594

3

ージ作製方法。

【請求項23】請求項17に記載の方法であって、第1層体を厚さ約100Åないし約100ミクロンまで接着するステップを含む、多層回路パッケージ作製方法。

【請求項24】請求項17に記載の方法であって、誘電薄膜をエピタキシャル成長させるステップを含む、多層回路パッケージ作製方法。

【請求項25】請求項24に記載の方法であって、誘電薄膜を真空蒸着するステップを含む、多層回路パッケージ作製方法。

【請求項26】請求項25に記載の方法であって、誘電薄膜をスパッタリングによって形成するステップを含む、多層回路パッケージ作製方法。

【請求項27】請求項26に記載の方法であって、誘電薄膜を反応性スパッタリングによって形成するステップを含む、多層回路パッケージ作製方法。

【請求項28】請求項17に記載の方法であって、誘電薄膜を厚さ約100Åないし約100ミクロンまで接着するステップを含む、多層回路パッケージ作製方法。

【請求項29】請求項17に記載の方法であって、誘電薄膜をスパッタリングによって形成するステップを含む、多層回路パッケージ作製方法。

【請求項30】請求項29に記載の方法であって、セラミック誘電薄膜をスパッタリングによって形成するステップを含む、スパッタリングによって形成された該セラミック誘電薄膜が、チタン酸カルシウム、チタン酸バリウム、酸化アルミニウム、酸化ベリリウム、及び窒化アルミニウムより成る族から選択されたセラミックである、多層回路パッケージ作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、内部回路素子を持つカードやボードなどの多層回路パッケージに関し、特に構造的に一体埋め込み型の薄膜コンデンサ手段を持つ多層回路のカードやボードに関する。実施例では、多層セラミック回路パッケージなどの多層回路パッケージあるいは、ポリイミドや、エポキシ含浸ガラス・クロスなどの多層構造材を持つ多層回路パッケージに、少なくともパワー・コア、グラウンド・コア、第1薄膜信号コア、第2薄膜信号コア、及びそれらの間の薄膜誘電体が設置され、第1及び第2の薄膜信号コアと誘電薄膜が薄膜コンデンサを形成する。

【0002】

【従来の技術】電子回路には、抵抗器、コンデンサ、コイル、ダイオード、トランジスタなど数千あるいは数百万もの電子回路素子を収容できる。回路素子は各々相互に接続して回路を形成し、個々の回路を相互に接続して機能ユニットを構成しなければならない。電力や信号はこれらの相互接続によって供給される。各機能ユニットは機械的に支持し構造的に保護する必要がある。電気回

4

路は、機能させるには電気エネルギーを要し、検閲を維持するには熱エネルギーの除去を要する。回路素子及び回路の保護・収容・冷却・相互接続には、チップ、モジュール、回路カード、回路ボードなどの超小型電子パッケージが用いられる。

【0003】集積回路内では、集積回路チップによって、回路素子と回路素子、回路と回路の相互接続、放熱、機械的保護が行われる。モジュール内に封止されたこのチップは第1レベル・パッケージと呼ばれる。

【0004】このほかパッケージ・レベルは少なくとも1つある。この第2レベル・パッケージは回路カードである。回路カードは少なくとも3つの機能に必要である。第1に、所望の機能を実行するために必要な回路またはビットの総カウントが第1レベル・パッケージすなわちチップのカウントを超えるので、回路カードが用いられる。第2に、第2レベル・パッケージすなわち回路ボードは、第1レベル・パッケージすなわちチップやモジュールに簡単に組み込まない構成素子のためのサイトを提供する。こうした構成素子には、コンデンサ、精密抵抗器などがある。第3に、回路ボードは、他の回路素子との間で信号を相互に接続する。

【0005】ほとんどのアプリケーションに第3レベル・パッケージがある。これはボード・レベルのパッケージである。ボードは、複数のカードをつなぐコネクタを備える。

【0006】パッケージ設計すなわちカードやボードの設計は、小さい面積での接続密度の増加に対応する必要から進められている。高い接続密度に対応するために、カードやボードは多層構造をとる。

【0007】カードやボードは、デジタルとアナログの両回路に用いられているが、デジタル回路用途が最も多い。デジタル回路では、第1の個別電圧値まわりの狭い帯域は論理“0”に、第2の個別電圧値まわりのもう1つの狭い帯域は論理“1”に対応する。こうした特性を有する信号は“デジタル信号”である。デジタル情報処理は、これらデジタル信号の転送、格納、及びアプリケーションに依存する。

【0008】デジタル情報処理では、信号は、あるバイナリ・レベルから別のバイナリ・レベルに変化する。この変化は、理想的には“ステップ機能”として転送される。しかしこの理想的なステップ機能は、抵抗、キャパシタンス、インダクタンス、パッケージ内の転送ライン及び他の転送ラインの効果によって歪んでしまう。さらにこのステップ機能は、理想的であるにしろ歪みがあるにしろ、また別の歪みとスプリアス信号すなわちノイズを、及び回路パッケージ内の他のライン上に誘起信号を発生させる。したがってデジタル回路からノイズを取り除くこと（フィルタリング）が必要がある。

【0009】フィルタリングは、デジタル回路パッケージでは、適当なRC時定数及びバンド・パス特性を持つ

(4)

(4)

特開平4-225594

5

RCフィルタ回路を内部に設け、それにより信号ラインを、たとえばパワー・ライン、グラウンド・ラインその他のラインと容量を介して結合または遮断することによって行える。

【0010】これらの目的を達成するためにキャパシタンス／RC回路を内部に設ける試みについては周知のとおりである。たとえばKevin W. Colvinによる、HIGH CAPACITANCE FLEXIBLE CIRCUITについての米国特許出願第416 (1988年1月5日公開)は、個別セラミック・コンデンサを組み込んだ多層フレキシブル回路について説明している。同特許の回路パッケージでは、容量素子が、フレキシブル基板とは異なる物質のチップまたはウェハから成り、誘電定数が高く、各チップの対抗面は導電膜を有する。

【0011】Sheldon E. Butiによる、MULTILAYER CIRCUITRY についての米国特許出願第4682414号明細書は、1面が凹部になった多層回路パッケージについて述べている。同特許で説明されているように、第1の個別電子素子は凹部内に配置され、第2の個別電子素子はパッケージ表面に配置される。

【0012】Louis E. Gatesらによる、MICROELECTRONIC PACKAGE についての米国特許第4705917号明細書は、チップと個別コンデンサを配置・接続できる凹部を設けるための開口を内部に持つ超小型電子パッケージを扱う。複数のセラミック層から形成され、層の一部が内部に開口を持つ超小型電子パッケージについて説明されている。内部の開口は、パッケージ内で凹部を成し、これが個別素子を保持する。この明細書で取り上げられている個別素子にはコンデンサが含まれる。

【0013】Candice Brownによる、CHIP ON BOARD PACKAGE FOR INTEGRATED CIRCUIT DEVICES USING PRINTED CIRCUIT BOARDS AND MEANS FOR CONVEYING THE HEAT TO THE OPPOSITE SIDE OF THE PACKAGE FROM THE CHIP MOUNTING SIDE TO PERMIT THE HEAT TO DISSIPATE THEREFROM についての米国特許第4729061号明細書は、集積回路ダイスを装着するために少なくとも1つのキャビティを内部に持つ回路パッケージについて説明している。

【0014】Hiroshi Oodairaらによる、A METHOD OF MAKING A CIRCUIT BOARD AND A CIRCUIT BOARD PRODUCED THEREBY についての米国特許第4751126号明細書は、フレキシブル基板が接合されたフレキシブル回路パッケージについて述べている。コンデンサなどの個別回路素子は、フレキシブル基板の塑性変形を利用することで、フレキシブル基板相互間に埋め込めると説明している。

【0015】Vincent J. Blackらによる、FLEXIBLE FILM CHIP CARRIER WITH DECOUPLING CAPACITORS についての米国特許第4744008号明細書は、表面に少なくとも1つの個別遮断コンデンサを装着して回路化したシリ

6

イミド誘電チップ・キャリアから形成された超小型電子パッケージについて説明している。

【0016】Alain CleitによるPROCESS FOR PRODUCING HYBRID CIRCUITS WITH INTEGRATED CAPACITORS AND RESISTORS AND CIRCUITS OBTAINED BY THIS PROCESS についての米国特許第4460938号明細書は、ハイブリッド回路構造すなわち回路パッケージそのものではなく、タンタル、電極、タンタルの自然酸化物の誘電体など、バルブ金属を持つ薄膜コンデンサを加えた構造を取り上げている。自然酸化物はタンタルの陽極酸化によって形成される。

【0017】Christopher H. BajorekらによるMULTIPLE LAYER, CERAMIC CARRIER FOR HIGH SWITCHING SPEED VLSI CHIPS についての米国特許第4328520号明細書は、薄いコンデンサ・シートをセラミック構造で積層した超小型電子パッケージを扱う。コンデンサの電極板は配電導体 (パワー・プレーン) として使える。また電極板を、パワー・プレーンに至るかまたは貫通する導電パイアに接続することもできる。容量素子は薄い金属シートと誘電物質の積層である。この容量積層は、グリーン (未焼成) 誘電体のグリーン (未焼成) シートとその上の金属導体層を、所定個数の層対が得られるまで連続して形成し、グリーン (未焼成) 積層を焼成して容量積層を形成し、外面を回路化することによって形成される。

【0018】これに代わる、Bajorekらによる実施例では、容量積層は、グリーン (未焼成) シートをメタライズし、メタライズされたグリーン (未焼成) シートの各々を焼結し、メタライズされ焼成された各積層を、たとえばガラスやブレージング材と接合し、その上面をメタライズすることによって形成される。

【0019】David A. ThompsonによるCHIP PACKAGE WITH HIGH CAPACITANCE, STACKED VLSI/POWER SHEETS EXTENDING THROUGH SLOTS IN SUBSTRATE についての米国特許第4237522号明細書は、バス・ラインからチップへ給電する、容量を介して接合された絶縁パワー・シートについて説明している。絶縁パワー・シートは10ミルの厚さと0.5ミルの誘電層との厚膜積層である。

【0020】Wolf-Dieter MueuzによるELECTRIC THIN FILM CIRCUIT AND METHOD FOR ITS MANUFACTURE についての米国特許第3949275号明細書は、対になった電極の間に誘電層を配した薄膜コンデンサを持つ薄膜回路について述べている。誘電層は、電極の形成に用いられる物質の自然酸化物である。電極は、バルブ金属から、自然酸化物の誘電層は、誘電物質の表面の陽極酸化によって形成される。

【0021】Takeo NishimuraによるMETHOD OF PRODUCING THIN FILM INTEGRATED CIRCUITS についての米国特許第3699011号明細書は、半導体の直下に薄膜コン

(5)

(5)

特開平4-225594

7  
 デンサを配置した薄膜回路を扱っている。薄膜コンデンサでは、対になった電極に誘電層が挟まれており、誘電層は、電極の形成に用いられる物質の自然酸化物である。電極は、バルブ金属などの酸化可能な金属から形成され、自然酸化物の誘電層は、電極物質の表面の陽極酸化によって形成される。

【0022】William OrrによるTHIN FILM DISTRIBUTED RC STRUCTURE についての米国特許第3665346号明細書（米国特許第3542654号明細書の一部）は、不活性基板上に位置し、不活性基板、陽極酸化可能な抵抗膜、陽極酸化可能な抵抗膜上に形成された誘電酸化物、及び誘電膜の対抗面に形成された導電対電極から成る薄膜RC回路素子について述べている。抵抗膜は、陽極酸化によって誘電自然酸化物が容易に形成される高融点金属である。

【0023】Dudley A. ChanceらによるCHIP CARRIER FOR LARGE SCALE INTEGRATED CIRCUITS AND A METHOD FOR THE FABRICATION OF THE CARRIERについての欧州特許出願第0083405号明細書（公開、米国特許第4453176号明細書に対応）は、埋め込み型コンデンサ構造を含むLSIチップのキャリアについて述べている。コンデンサを構成する方法は正確には説明されていないが、コンデンサ構造の少なくとも1つの電極層は、分割された複数の電極板から成る。電極板の各セグメントは、各パイア・ラインを通して個別にアドレスできる。パイア・ラインは、内部の電極セグメントから、キャリアのチップ装着面上の切断可能なリンクに伸びる。切断可能なリンクは、レーザなどで切断すれば、コンデンサの欠陥セグメントを修復あるいは除去できる。

【0024】このほか埋め込み型コンデンサ構造を示した文献には次のものがある。

【0025】a. SEMICONDUCTOR DEVICEに関する特許出願第59-233109号明細書（1984年11月7日出願、特開昭61-112369号として1986年5月30日公開）は、チップ・キャリアの外面に被着したコンデンサについて述べている。コンデンサはバシグエイション層の上に被着され、(i) アルミニウムのグラウンド層、(ii) 酸化シリコン層に代表される誘電層、(iii) アルミニウムの電極層、及び(iv) SiO<sub>2</sub>絶縁層を含む。

【0026】b. PLUG-IN PACKAGE WITH CAPACITORに関する特許出願第59-127869号明細書（1984年6月21日出願、特開昭61-6846号として1986年1月13日公開）は、電圧をフィルタしてパッケージに装着されたチップに供給するために内部に個別コンデンサ・チップを用いることについて述べている。

【0027】c. PACKAGE FOR SEMICONDUCTOR DEVICEに関する特許出願第57-192963号明細書（1982年11月11日出願、特開昭59-82753号として1984年5月12日公開）は、コンデンサを構造的、電気的に、短

め込み型メモリ・チップとパッケージの接地面との間に配置した超小型電子パッケージについて述べている。

【0028】d. SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE に関する特許出願第57-164460号明細書（1982年9月21日出願、特開昭59-54254号として1984年3月29日公開）は、樹脂を埋め込んだコンデンサを構造上また電気的に、メモリ・チップとパッケージの電極面との間に配置した超小型電子パッケージについて述べている。

20 【0029】e. SEMICONDUCTOR DEVICEに関する特許出願第57-115045号明細書（1982年6月30日出願、特開昭59-5654号として1984年1月12日公開）は、フリップ・チップ基板内またはフリップ・チップ表面に配置できるコンデンサを取り上げている。コンデンサはチップ電極と並列である。

【0030】J.M. BrownlowによるSTRESS AVOIDANCE IN COPIRED TPO MATERIAL CERAMICS, IBM Technical Disclosure Bulletin, Vol. 22, (9) (1980年2月), pp. 4256-4257は、パッケージの作製に用いられる構造セラミック材と、比較的厚い内部コンデンサに用いられる高キャパシタンス・セラミクスとの間の熱膨張係数の違いによる問題を取り上げている。構造セラミック層が焼結されてチタン酸基の高キャパシタンス誘電体になるときに生じる高応力とクラックの問題に触れている。この問題に対して1つ解決法を提示している。つまりコンデンサ（チタン酸基とその電極）は最初、たとえば樹脂とセラミックのスラリーから樹脂セラミックを形成し、次に樹脂金属パターンを樹脂セラミック・シートに対してスクリーニングすることによって形成される。コンデンサをモノリシック・パッケージ構造から機械的に分離し、それによって熱応力を回避するために、樹脂の含有量が多いペーストが用いられる。

【0031】R.O. LussowによるINTERNAL CAPACITORS AND RESISTORS FOR MULTILAYER CERAMIC MODULES, IBM Technical Disclosure Bulletin, Vol. 20, (9) (1978年2月), pp. 3436-3437 は、配線されたパイア内にグリーン（未焼成）誘電ペーストを付着させ、グリーン（未焼成）パッケージを焼成して容量素子を形成することによって、埋め込み型内部コンデンサを形成することについて述べている。

40 【0032】C.H. Bajorek, D.A. Chance, C.W. Ho, 及びE.E. ShapiroによるINTEGRATED, LOW INDUCTANCE, SMALL AREA CAPACITORS FOR VLSI SEMICONDUCTOR PACKAGE S, IBM Technical Disclosure Bulletin, Vol. 25, (2) (1982年7月), pp. 883-888 は、電子パッケージ用の低インダクタンス・パラレル・プレート・コンデンサ構造について説明している。パラレル・プレート・コンデンサは、同文献の図2A及び図2Dで多層セラミック・インタポーザの一部として、図2B及び図2Cでは半導体チップの直下のポケット・パッケージ内にフラッシュ・

(6)

(6)

特開平4-225594

9

マウントされるものとして説明されている。

【0033】従来の技術はこのように、超小型電子パッケージにキャパシタンスを提供するために様々な方法及び構造を提示している。これには、埋め込み型薄膜コンデンサ、サーフェス・マウント型コンデンサ、サーフェス・フィルム型コンデンサ、多様な凹部、インサート、中空内の個別コンデンサが含まれる。個別コンデンサを回路パッケージに装着するには別に作製ステップが必要になる。また、個別コンデンサを使用すると、RC時間定数、バンド・パス幅、容量結合、及び容量遮断を指定する上でフレキシビリティがなくなる。

【0034】薄膜作製方法すなわちグリーン（未焼成）誘電体と金属導体のインタリーブ層を連続して積層・焼結する方法は、すべての面で満足のいく解決法ではない。多レベル・バイアが必要である。コンデンサ・パラメータ、誘電体の厚み、及び電極領域を設計段階で制御する方法は少ない。さらに、パッケージ内の厚膜ヘテロ構造は、構造パッケージ材に熱膨張の不一致をもたらす。

【0035】したがって、パッケージの構造、熱、及び電気的な整合性を維持しながらパッケージ・キャパシタンスを具体的に指定できる、簡便なパッケージ作製方法が必要なることは明らかである。

【0036】

【発明が解決しようとする課題】この発明の目的は、内部キャパシタンス手段の作製を含めた簡便な電子パッケージ作製方法を提供することにある。

【0037】この発明の目的には、論理回路のチップ及びモジュールに使用できるパッケージ表面を拡大し、パッケージ密度を上げるために、パッケージ表面から受動素子を取り除くことも含まれる。

【0038】この発明の目的には、作製プロセスにおいてパッケージ及び回路キャパシタンスについて具体的な値を得ることも含まれる。

【0039】この発明の目的には、電子パッケージの構造、熱、及び電気的な整合性を維持しながら、内部キャパシタンスを確保することも含まれる。

【0040】この発明の目的には、電子パッケージに内部キャパシタンス構造を薄膜によって形成する方法を提供することも含まれる。

【0041】この発明の目的には、薄膜内部コンデンサを持つ電子パッケージを提供することも含まれる。

【0042】この発明の目的には、コンデンサと能動素子が、少数のバイア及びスルーホールを通して配線される部分などで経線ルートを開路にした電子パッケージを提供することも含まれる。

【0043】この発明の目的には、スルーホール及びハンダ・ジョイントを少なくし、これに伴って、ドリル・ユニット時間を短縮し、製品の歩留まりと信頼性を向上したパッケージを提供することも含まれる。

10

【0044】この発明の目的には、コンデンサと能動素子を近接させることでライン・ディレイを抑えることも含まれる。

【0045】この発明の目的には、高導電率の電極を持つ内部薄膜コンデンサを提供することも含まれる。

【0046】この発明の目的には、高誘電定数の誘電体を持つ内部薄膜コンデンサを提供することも含まれる。

【0047】この発明の目的には、導電率の高いすなわち高誘電係数の自然酸化物（Y、Ti、Zr、Ta、Hf、Nb、Mo、Wなど）を容易に形成する金属よりも導電率の高い電極と、これに挟まれた高誘電係数の薄膜すなわち、これまでのY、Ti、Bi、Sb、Zr、Ta、Hf、Nd、Mo、及びWの酸化物に見られる程度の相対誘電定数を持つ誘電体とを組み合わせた電極を特徴とする電子パッケージを提供することも含まれる。

【0048】

【課題を解決するための手段】これらの目的は、ここで述べる薄膜作製方法及びこの方法によって作製される多層薄膜電子回路パッケージによって達成され、従来技術の欠点が克服される。

【0049】“薄膜電子回路パッケージ”は、内部薄膜コンデンサを1つ以上含む電子回路パッケージをいう。

“内部コンデンサ”は、電子回路パッケージ内にあり、少なくとも1つの電極面がバイアまたはスルーホールによってアクセス可能なコンデンサをいう。“薄膜コンデンサ”は、コンデンサの電極の一方または両方が厚さ約100ミクロン未満、コンデンサの誘電層の厚みが約12ミクロン未満、及び誘電層が薄膜形成法によって形成されるコンデンサをいう。“薄膜形成法”は、薄膜デバイスを作製する電子分野で用いられ、蒸着、化学的気相成長（CVD）、プラズマCVD、粒子ビーム・エビタキシ、スパッタリング、同時スパッタリング、反応性スパッタリングなどを含めたエビタキシャル成長法をいう。こうしたエビタキシャル法は、自然酸化物誘電体を形成する、下層の電極構造の酸化とは区別すべきものである。

【0050】グラウンド・プレーンまたはコアを含めて、信号プレーン/コアまたはパワー・プレーン/コアとしての第1導電プレーンは、この発明の実施例に従って、コンデンサ電極として用いるために図層化される。その後、誘電薄膜が、CVD、粒子ビーム・エビタキシ、スパッタリング、反応性スパッタリング、反応性同時スパッタリングなどの薄膜形成方法によって形成される。誘電薄膜の形成方法は、下層の電極物質の陽極酸化よりもエビタキシャル成長の方が望ましい。誘電物質の薄膜は、たとえばスパッタリングによる超薄膜として誘電薄膜の上に形成される。誘電物質の薄膜は、マスクを通してスパッタリングによってパターンを形成するか、フォトリソグラフィやエッチングによってパターンを形成してもよい。この後、誘電体、導体または両方の層



(7)

(7)

特開平4-225594

11

を、薄膜コンデンサの上に被着して、複合積層回路パッケージを形成することもできる。コンデンサは、パイアまたはスルーホールを通して配線されるのが通常である。

【0051】信号コアまたはプレーン、パワー・コア／プレーン、グラウンド・コア／プレーンなどの導電素子は、この発明に従って、金属薄体または導電ポリマから形成できる。導膜金属薄体、厚膜金属薄体、金属箔薄体などとして、金属薄体から形成されるのが最も一般的である。信号コア、グラウンド・コア、及びパワー・コアとしての導体が金属であれば、金属薄体は、周期表のA1族及びIB族(Cu, Ag, Au)の金属から選択されるのが最も一般的である。なかでも望ましいのはCuである。それはCuが、特にTi, Ta, Zr, Hf, W, Moなど安定した自然酸化物を容易に形成する金属と比べて導電率が高いことによる。一般に、金属薄体の厚みは約100Åないし約100ミクロンである。

【0052】誘電体は薄膜であり、厚みは次式によって求められる。

【0053】

【数1】

【0054】ここでCは所望のキャパシタンス、 $\epsilon$ は誘電率(イプシロン)、Sは2つの電極のオーバレイ面積、dは2つの電極の間隔であり、誘電薄膜の厚みにほぼ等しい。誘電物質の誘電率は約100Åないし10ミクロンの厚みが望ましい。

【0055】誘電体の厚みdは、キャパシタンスを正確に制御するためには、同じく正確に制御しなければならない。正確な厚み制御は、この発明に従って、制御可能な薄膜形成法によって可能である。これは、下層のバルブ金属電極を酸化するして自然酸化物を形成するのとは区別される誘電体の真空蒸着によって行える。たとえば真空蒸着した誘電物質の薄膜は、反応性スパッタリングによる薄膜などでよい。

【0056】コンデンサの誘電薄膜を形成するためには各種の誘電物質を使用できる。たとえば無機物質のほか、ポリイミドやポリフッ化炭素などの有機ポリマがある。スパッタリング可能な誘電体の代表としてはセラミクスが挙げられる。代表的なセラミクスは、カルシウム、チタン、チタン酸バリウム、酸化アルミニウム、酸化ベリリウム、窒化アルミニウムの族から選択されたものである。

【0057】この発明の電子回路パッケージには、少なくとも、パワー・コアまたはプレーン、グラウンド・コア／プレーン、第1信号コア／プレーン、第2信号コア／プレーン、及び上述のように作製された一体埋め込み型薄膜コンデンサが含まれる。一体埋め込み型薄膜コンデンサは、第1及び第2の信号コアを容量を介して接合・遮断するように働く。第1信号コアは、構造上、少なくとも1つの第1電極で終端する少なくとも1つの第1

12

ワイヤを、第2信号コアは、少なくとも1つの第2電極で終端する少なくとも1つの第2ワイヤを含む。第1電極の少なくとも一部は、第2電極の少なくとも一部を覆い、誘電物質の薄膜によって第2電極から隔離される。第1電極、第2電極、及び誘電物質の薄膜によって、一体埋め込み型薄膜コンデンサが定義される。

【0058】薄膜コンデンサと直列の信号コアの1つは、この発明の実施例に従って地電位におかれる。また、薄膜コンデンサと直列の信号コアの1つは、電源電位としてもよい。

【0059】上述の回路パッケージ(カードまたはボード)の実施例に含まれる項目は次のとおりである。

【0060】(a) 少なくとも1つの第1銅電極で終端する少なくとも1つの第1薄膜銅ワイヤを含む第1信号コア

【0061】(b) 少なくとも1つの第2電極で終端する少なくとも1つの第2薄膜銅ワイヤを含む第2信号コア。第1銅電極の少なくとも一部は、第2銅電極の少なくとも一部を覆い、このオーバレイは先に定義した表面面積Sである。

【0062】(c) 第1銅電極と第2銅電極の間に位置し、反応性スパッタリングによる誘電物質の薄膜。誘電物質の厚みは先に定義した厚みdである。

【0063】第1電極、第2電極、及び誘電物質の薄膜によって、多層回路カード内の一体埋め込み型薄膜コンデンサが定義される。

【0064】この発明は、内部薄膜コンデンサを持つ電子パッケージと、電子パッケージの構造、熱、及び電気的な整合性を維持しながら、パッケージ・キャパシタンスについて具体的な値を得る機能を有する、内部薄膜キャパシタンス手段のための簡易な電子パッケージ作製方法とを提供するものである。この発明の電子パッケージは、少数のパイアやスルーホールを介したコンデンサと能動素子の配線など、配線ルートを簡略化したものである。これにより、能動デバイスに使用できる表面領域が増加して接続密度が高まるだけでなく、パイアやスルーホール及びハンダ・ジョイントが少なくて済み、これに伴って、ドリル・ユニット時間が短縮され、製品の歩留まりと信頼性が向上するほか、薄膜コンデンサと能動素子を近接させることでライン・ディレイも抑えられる。

【0065】

【実施例】 この発明の実施例のフローチャートを図1に示した。この発明の方法は、コンデンサ形成ステップに、電子パッケージを作製する一般的なステップを取り入れている。電子パッケージを作製する一般的なプロセスについては、たとえばDonald P. Seraphin, Ronald Lasky, Che-Yo LiによるPrinciples of Electronic Packaging, McGraw-Hill Book Company, New York, New York, (1988), Rao R. Tummala, Eugene J. Rymaszewskiに

(8)

(8)

特開平4-225594

13

よるMicroelectronic Packaging Handbook, Van Nostrand Reinhold, New York, New York (1988) で説明されている。

【0066】 埋め込み型薄膜コンデンサを作製する第1ステップは、第1導電プレーンの回路化である。回路化ステップは図1のブロック10に示した。第1導電プレーンは、信号プレーンまたはコア、グラウンド・プレーン/コア、またはパワー・プレーン/コアである。回路化された第1導電プレーン/コアの領域は、コンデンサの第1電極領域である。

【0067】 次に、図2のブロック20に示すとおり、第1導電プレーンの上に誘電薄膜が形成される。この誘電膜は、陽極酸化法とは区別される。薄膜エピタキシ法によって形成される。誘電薄膜を形成する代表的なエピタキシ法には、蒸着、化学的気相成長(CVD)、グロー放電プラズマ蒸着、マイクロ波プラズマ蒸着などのプラズマCVD、粒子ビーム・エピタキシ、及びスパッタリングがある。代表的なスパッタリング法には、ターゲット物質の原子を基板に被着する簡易スパッタリング、2つ以上のターゲットからのターゲット物質原子を基板に同時にまたは連続して被着する同時スパッタリング、スパッタリング時に存在する基板とガス成分の反応物を被着する反応性スパッタリング、及びスパッタリング・ターゲットの物質とガス成分の反応物を基板に被着する反応性スパッタリングがある。

【0068】 この後、図1のブロック30に示すように、導電物質の第2薄膜が、誘電薄膜の上に形成される。この第2導電膜は、スパッタリングによる膜の薄膜でよい。

【0069】 図1のブロック10、30に示す回路化ステップは様々な方法で行える。たとえば導電物質の薄膜すなわち導電物質の第1及び第2の薄膜は、マスクを通してスパッタリングによって回路化すなわちパターンを形成できる。また、ウェット・エッチング、ドライ・エッチングなど従来のフォトリソグラフィ及びエッチングによって各層にパターンを形成してもよい。その後、誘電体、導体、または両方の層を薄膜コンデンサの上に形成すれば、複合積層回路パッケージが形成される。通常、コンデンサは、上下の層のバイアまたはスルーホールを介して配線される。

【0070】 この発明の方法及び装置は、銅導電コア及びプレーンとあわせて説明しているが、導電素子が金属導体または導電ポリマから形成できることは理解されよう。導電コア/プレーンは、薄膜金属導体、厚膜金属導体、金属箔導体など、金属導体が最も一般的である。信号コア、グラウンド・コア、パワー・コアとしての導体が金属であれば、金属導体は、Cu、Al、Agより成る族から選択されるのが最も好適である。なかでも望ましいのはCuである。それはCuが、特に陽極酸化によって自然誘電酸化物すなわちパルプ金属が容易に形成さ

14

れる金属と比べて導電率が高いことによる。一般に、金属導体は、厚み約100ないし約100ミクロンの薄膜金属導体である。

【0071】 この発明の方法では、図1のブロック20の被着ステップで誘電薄膜の厚みを精密に制御できる。誘電薄膜の設計厚みは次式で求められる。

【0072】

【数2】

【0073】 ここでCは所望キャパシタンス、 $\epsilon$ は、誘電薄膜の誘電率(イプシロン)、Sは2つの電極のオーバーレイ面積、dは2つの電極の間隔であり、誘電薄膜の厚みにほぼ等しい。作製時の間隔dの精密制御は、被着プロセスの関数である。

【0074】 誘電体の厚みdは、キャパシタンスを精密に制御するためには、同じく精密に制御しなければならない。精密な厚み制御は、この発明に従って、エピタキシャル薄膜形成法によって可能である。これは誘電体の真空蒸着によって行える。たとえば真空蒸着した誘電物質の薄膜は、反応性スパッタリングによる薄膜などでよい。その場合、スパッタ・レートは通常、約0.5ないし4.0Å毎秒のオーダーであり、スパッタリングの時間と電位を精密に制御できる。誘電物質の薄膜は、約100Åないし約10ミクロンの厚みが望ましい。

【0075】 コンデンサ面積をコンデンサ電極の間隔で割った値S/dは、電子パッケージの所望の回路特性によって求められ、具体的なコンデンサ面積値Sと電極間隔dは、熱、機械系、配線性、及び加工性を考慮することによって求められる。コンデンサの形状はこの発明では重要でなく、通常は、ワイヤ間の電磁誘導、加工性、バイアススルーホールの位置などのファクタによって求められ、たとえば円形、四角形、あるいはS字形なども考えられる。

【0076】 コンデンサの誘電薄膜を形成するためには各種の誘電物質を使用できる。たとえば無機物質のほか、ポリイミドやポリフッ化炭素などの有機ポリマがある。スパッタリング可能な誘電体の代表としては、チタン酸カルシウム、チタン酸バリウム、酸化アルミニウム、酸化ベリリウム、窒化アルミニウムの族から選択されたものがある。チタン酸カルシウムやチタン酸バリウムなどの物質は通常、多成分スパッタリング・ターゲットからスパッタされるか、または溶液中で別々のターゲットからの反応物が同時にスパッタされる。酸化ベリリウムや窒化アルミニウムなどの物質は通常、多成分スパッタリング・ターゲットからスパッタされるか、または、たとえば大気を含む酸系中ではベリリウムのスパッタリング・ターゲットから、窒素を含むガス中ではアルミニウムのスパッタリング・ターゲットからの反応物がスパッタされる。

【0077】 誘電定数の大きい物質を、誘電率の高い範囲にエピタキシャル成長させれば、Cu、Ag、Au、

(9)

(9)

特開平4-225594

15

Alの電極のように導電率の高い電極と、Y、Ti、Bi、Sb、Zr、Ta、Hf、Nb、Mo、Wといった酸化物などの誘電定数の大きい誘電体とのマッチングが可能である。このような誘電薄膜のエピタキシャル成長により、(1)導電率の高い、すなわち誘電定数の大きい自然酸化物(Y、Ti、Zr、Ta、Hf、Nb、Mo、Wなど)を容易に形成する金属よりも導電率の高い電極とともに、(2)それに挟まれた誘電定数の大きい誘電体すなわち、これまでY、Ti、Bi、Sb、Zr、Ta、Hf、Nd、Mo、及びWの酸化物に見られる程度の相対誘電定数を持つ誘電体とを特徴とする、内部誘電コンデンサを含む電子パッケージを設計・作製できる。

【0078】この発明の電子回路パッケージ101、埋め込み型誘電コンデンサ151、付加コア201、211、1チップ235を、図2の簡略化したファントム図に示した。この電子回路パッケージには、少なくともパワー・コアまたはプレーン111a、グラウンド・コア/プレーン111b、第1信号コア/プレーン121、第2信号コア/プレーン131、及び一体埋め込み型誘電コンデンサ141が含まれる。誘電コンデンサ141は、上述のように作製される、一体埋め込み型誘電コンデンサ141は、たとえば第1(121)及び第2(131)の信号コアを容量を介して接合または遮断する。第1信号コア121は、構造的に、少なくとも1つの第1電極125で終端する少なくとも1つの第1ワイヤ123、第2信号コア131は、少なくとも1つの第2電極135で終端する少なくとも1つの第2ワイヤ133を含む。第1電極125の少なくとも一部は、第2電極135の少なくとも一部を覆い、誘電物質の薄膜151によって隔離される。

【0079】第1電極125、第2電極135、及び誘電物質の薄膜151によって、この発明の一体埋め込み型誘電コンデンサ141が定義される。

【0080】誘電コンデンサ141と直列の信号コア121または131の1つは、この発明の実施例に従って地電位におかれる。また、誘電コンデンサ141と直列の信号コア121または131の1つを電圧電位とすることも可能である。この発明の誘電コンデンサ141は、バイアス221を介して回路パッケージの他のプレーンと直列になっている。

【0081】回路パッケージ101は、実施例としては、先に述べたようにカードまたはボードとするのが望ましい。回路パッケージに含まれるのは次のとおりである。

【0082】(a) 厚み約12ないし約100ミクロンの銅ワイヤなど、少なくとも1つの第1誘電銅ワイヤ123を含み、厚みが同じく約12ないし約100ミクロンの、少なくとも1つの第1銅電極125で終端する第1信号コア121。

【0083】(b) 厚み約100Åないし約100ミク

16

ロン、一般には約3ミクロンないし約100ミクロンの、少なくとも1つの第2誘電銅ワイヤ133を含み、厚みが同じく約100ないし約100ミクロン、一般には約3ミクロンないし約100ミクロンの、少なくとも1つの第2電極135で終端する第2信号コア131。

【0084】第1銅電極125の少なくとも一部は、第2銅電極135の少なくとも一部を覆い、このオーバーレイは先に定義した表面面積Sである。

【0085】ここで注意しておきたいが、第1電極125または第2電極135の1つは、入力電位すなわちパワー・プレーンまたは地電位すなわちグラウンド・プレーンに配置できる。

【0086】(c) 第1銅電極125と第2銅電極135との間の誘電物質の反応性スパッタリングによるエピタキシャル成長薄膜151。誘電薄膜151の厚みdは、物質の誘電定数、面積S、及びコンデンサ141の所置キャパシタンスCによって求められる。得られる誘電体151の厚みは、先に定義したdである。誘電薄膜151の厚みdは、一般には約100Åないし10ミクロンである。

【0087】第1電極125、第2電極135、及び誘電物質の薄膜151によって、多層回路パッケージ101内の一体埋め込み型誘電コンデンサ141が定義される。

【0088】この発明は、次の例を通してさらに理解しやすくなる。

【0089】例電子回路パッケージのプロトタイプを作製した(図3)。信号/パワー・コア302aは、1オンス(36ミクロン)の銅箔(プレーン)311aと0.5オンス(18ミクロン)の銅箔(プレーン)325bをテフロン誘電層305bに積層して形成した。プレーン311aとプレーン325bは、従来のプリント回路基板フォトリソグラフィ手段によって回路化し、パワー・プレーン311a及び信号/コンデンサ電極プレーン325bを形成した。

【0090】回路化に続き、第1信号/コンデンサ電極(プレーン)325bの上にデタン酸バリウムBaTiO<sub>3</sub>の薄膜351bをスパッタした。この薄膜は厚さが約1000Åであった。その後、誘電薄膜351bに対する銅層(プレーン)335bのスパッタ・シーディングに続いて、酸/銅メッキによって銅を総厚み0.5オンス(18ミクロン)まで追加被覆することによって第2コンデンサ電極を形成した。第2コンデンサ電極プレーン335bは、パターン化して、スルーバイアス321bにつながるランドに伸びる第2電極を形成した。第2信号プレーン(電極)325b、誘電薄膜351b、及び第2コンデンサ電極プレーン335bによって第1コンデンサが定義される。

【0091】第2内部誘電コンデンサは、電子回路パッ

(10)

(10)

特開平4-225594

17

ケージ301内に、第1コンデンサ層の形成に用いたものと同じ手段によって形成した。信号/パワー・コア302bは、1オンス（約28.4g）の銅箔（プレーン）311bと0.5オンス（約14.2g）の銅箔層（プレーン）335aをテフロン誘電体305dに積層して形成した。信号/パワー・コア302bは、回路化して、第2パワー・プレーン311bと第1コンデンサ電極を含む第2信号プレーン335aを形成した。

【0092】回路化の後、第2信号プレーン335aの上にチタン酸バリウムBaTiO<sub>3</sub>の誘電膜351aをスパッタした。この誘電膜351aも約1000Åの厚みであった。この後、銅誘電膜のスパッタ・シーディングと総厚み18ミクロンまでの電解銅メッキによって、第2コンデンサ層の第2コンデンサ電極（プレーン）325aを形成した。プレーン325aは、パターン化して第2コンデンサ・プレーンの第2コンデンサ電極を形成した。第2信号プレーン/電極335a、誘電膜351a、及び第2コンデンサ電極（プレーン）325aによって、第2内部誘電コンデンサが定数される。この第2内部誘電コンデンサは、図3のプレーンには示していないスルーバイアで結線する。

【0093】2つの内部コンデンサ層を持つ多層積層は、構造全体を積層することによって完成させた。このシーケンスをボトムアップ式に示すと、0.5オンス（18ミクロン）の銅箔（プレーン）303b、テフ

18

ロン誘電層305a、第1パワー/信号/コンデンサコア302a、第2テフロン誘電層305b、及びトップの0.5オンス（18ミクロン）銅箔（プレーン）303aである。次にこの多層積層にスルーバイア321a、321bを設けた。次に、積層の表面及びスルーバイア321a、321b内に電解メッキ銅を被着して、内部コンデンサと積層表面を接続した。そして多層積層の外面をパターン化して、第3信号/素子装着プレーン303a及び第4信号/素子装着プレーン303bを形成した。

10

【0094】この発明については、特定の実施例及び変形例について説明しているが、これは、本発明の適用範囲を制限するものではなく、特許請求の範囲によってのみ制限されるものである。

【0095】

【発明の効果】本発明により、誘電内部コンデンサを持つ電子パッケージ及びその作製方法が得られる。

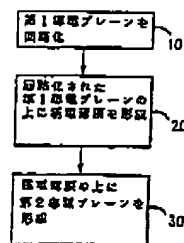
【図面の簡単な説明】

【図1】この発明の方法を簡略に示すフローチャートである。

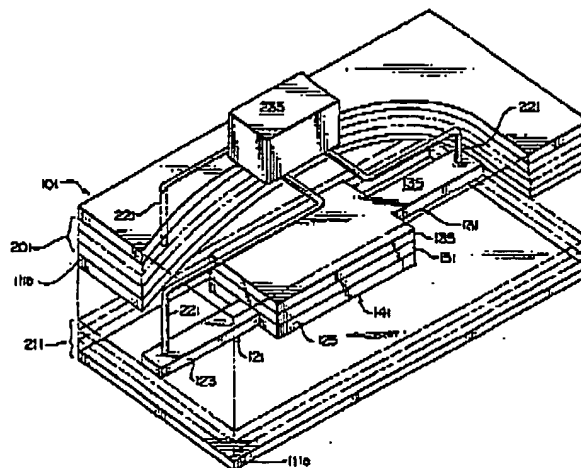
【図2】この発明の回路パッケージのファントム斜視図である。

【図3】「例」の説明どおりに作製され、この発明の埋め込み型誘電コンデンサを2個含む回路パッケージ断面図である。

【図1】



【図2】

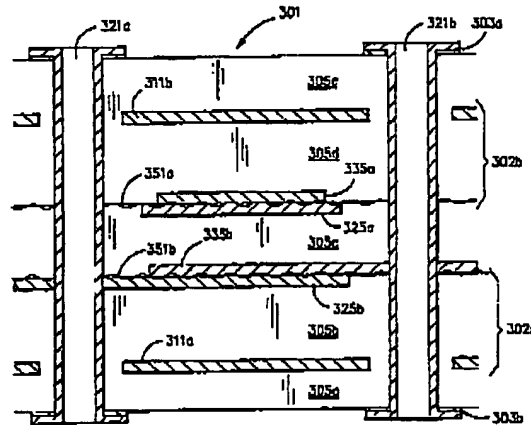


(11)

(11)

特開平4-225594

【図3】



フロントページの続き

(72)発明者 リチャード・アンソニー・シユーマシヤ  
 アメリカ合衆国ニューヨーク州、エンディ  
 コット、コベントリ・ロード 53番地